

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-206920

(43)Date of publication of application : 28.07.2000

(51)Int.Cl. G09G 3/20
G02F 1/133
G02F 1/1368
G09F 9/30
G09G 3/36

(21)Application number : 2000-047100

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 07.06.1991

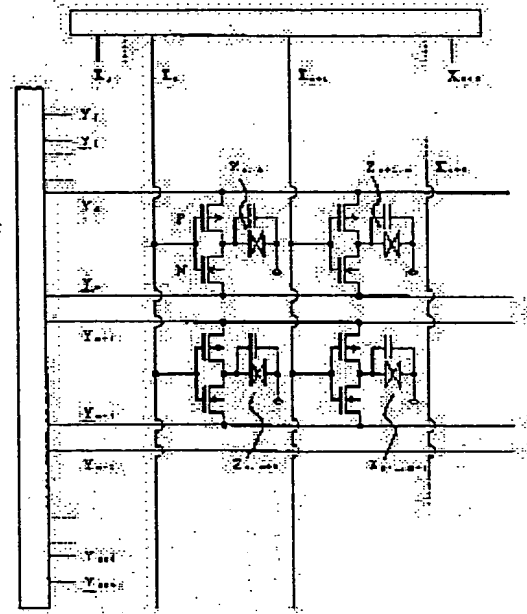
(72)Inventor : YAMAZAKI SHUNPEI
MASE AKIRA
HIROKI MASAOKI
TAKEMURA YASUHIKO

(54) ELECTRO-OPTIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve a gradation display with 256 steps or more by pure digital control, by providing this device with an inverter consisting of each specific NTFT(N-channel Thin Film Transistor) and PTFT.

SOLUTION: An active matrix circuit uses an inverter circuit where an NTFT and a PTFT operate complementarily. Gate electrodes of NTFT and PTFT are connected with a signal line X_n , and one or the other of a source or a drain is connected with a picture element $Z_{n,m}$, and the other is connected with signal lines $-Y_m$, Y_m . And NTFT has a channel area, a semiconductor layer provided with plural N-type impurity area, a gate insulating film provided thereon, and a gate electrode provided further thereon and superimposing at least one of the Ntype impurity. And PTFT has the channel area, the semiconductor layer provided with plural N-type impurity area, the gate insulating film provided thereon, and the gate electrode provided thereon.



LEGAL STATUS

[Date of request for examination] 23.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

This Page Blank (uspto)

Japanese Publication for Unexamined Patent Application

No. 206920/2000 (Tokukai 2000-206920)

(A) Relevance to claim

This document has relevance to claim 1 of the present application..

(B) Translation of the Relevant Passages of the Document

[WHAT IS CLAIMED IS]

[CLAIM 1]

An electro-optic device, in which an inverter is provided, comprising an N-channel Thin Film Transistor and a P-channel Thin Film Transistor, wherein: the N-channel Thin Film Transistor includes: a channel area; a semiconductor layer provided with plural N-type impurity area; a gate insulating film provided thereon; and a gate electrode provided further thereon and superimposing at least one of the N-type impurity, and the P-type Thin Film Transistor includes: a channel area; a semiconductor layer provided with plural P-type impurity area; a gate insulating film provided thereon; and a gate electrode provided thereon.

This Page Blank (uspto)

(5)

て、液晶セルに与えられた電荷は保持される。その後、 X_1 には、 V_L あるいは V_H の信号が与えられるが、どちらの信号が与えられた場合であっても、この回路は動作しない、したがって、液晶セルに与えられた電荷は保持される。この状態は、少なくとも、次に Y_1 が V_H に、 X_1 が V_L になるまで持続する。同様に、 $Z_{1,m}$ も $Z_{1,m+1}$ も $Z_{1,400}$ も、電圧状態となる。その状態を保持することとなる。

10023) このようにして、 V_L が V_H に印加され、 Y_m に印加された場合を考える。今、4つの画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ 、 $Z_{n+1,m+1}$ に注目しているとしたら、 X_n および X_{n+1} の第1のサブピクセルの m 番目および $(m+1)$ 番目に注目すればよい。 X_n も X_{n+1} も m 番目は V_L なので、画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ は電圧(充電)状態になる。一方で、 Y_{n+1} に V_L が印加される。 X_n も X_{n+1} も $(m+1)$ 番目は V_L なので、この場合も画素 $Z_{n,m+1}$ 、 $Z_{n+1,m+1}$ は充電状態となる。

10024) 次に、図では省略されているが、第2のサブピクセルが来たものとする。このとき、 X_n も X_{n+1} も m 番目および $(m+1)$ 番目が V_L ならば、充電状態がなくならず、以上4つの画素は引き続き電圧状態を保持する。その後、第 $(n-1)$ のサブピクセルまでは、4つの画素とも電圧状態が保持したものである。

10025) 次に、サブピクセルが進んで、第 n のサブピクセルが来たものとする。図では省略されているために m 番目および $(m+1)$ 番目以外は省略した。このとき、 X_n も X_{n+1} も m 番目は V_L なので、画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ は電圧状態を保持する。しかし、 X_{n+1} には $(m+1)$ 番目が V_H であるので、画素 $Z_{n+1,m+1}$ は電圧状態が保持するものの、画素 $Z_{n+1,m+1}$ は、フタインジウム層の出力が電圧状態ではなくなり、与えられていた電荷が放出され、電圧状態は中和される。

10026) さらに、第1のサブピクセルが来たときには、 X_n の $(m+1)$ 番目は V_H となつたので、 $Z_{n,m+1}$ の充電状態は解除される。以下、第1および第 k のサブピクセルにおいて、それぞれ、 X_{n+1} 、 X_n の m 番目が V_H となつたので、画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ の充電状態がそれぞれ、第 k 、第1のサブピクセル中に中和される。このようにして、各画素ごとに電圧状態の時間を周期的にコントロールできる。

10027) このような動作を繰り返すことにより、各画素に加わる電圧 V_L の幅を図1(A)のように任意に制御することができる。

10028) 以上の説明が明らかなように、本発明を実施するにあたっては、上記のようなサブピクセルは、明確に定義できるピクセルのものではないから、本発明では、図1の図面を簡単にするために、サブピクセルという概念を持ち出したが、特に、サブピクセルとサブピクセルの間が明確でなく、信号としては、ほとんど境界のないものであっても、本発明を実施できることはあきらかである。さらに、説明をわかりやすくするために、信号のレベルと電圧レベルを明確にしたが、これは、液晶あるいはPFTのしきい値電圧以下であるか、以上であるかという問題だけであるので、絶対にゼロである必要はない。電圧とは任意の点の電位を基準とした相対的な値であるので、以上の例において、 V_L は逆の極性を示すものであっても、構わないことは明らかである。さらに、画素の方向電圧に相当なオフセット電圧を加えても構わない。また、以上の例では、画面1行づつ順に走査されていたが、最初 Y_1 、 Y_3 、 Y_5 ... というように走査し、その後、 Y_2 、 Y_4 、 Y_6 ... というように走査する、いわゆる飛び出し走査法も可能であることは言うまでもない。

(6)

図1の図面は、信号としては、ほとんど境界のないものであっても、本発明を実施できることはあきらかである。さらに、説明をわかりやすくするために、信号のレベルと電圧レベルを明確にしたが、これは、液晶あるいはPFTのしきい値電圧以下であるか、以上であるかという問題だけであるので、絶対にゼロである必要はない。電圧とは任意の点の電位を基準とした相対的な値であるので、以上の例において、 V_L は逆の極性を示すものであっても、構わないことは明らかである。さらに、画素の方向電圧に相当なオフセット電圧を加えても構わない。また、以上の例では、画面1行づつ順に走査されていたが、最初 Y_1 、 Y_3 、 Y_5 ... というように走査し、その後、 Y_2 、 Y_4 、 Y_6 ... というように走査する、いわゆる飛び出し走査法も可能であることは言うまでもない。

10029) 【実施例1】 本実施例では図4に示すような回路構成を用いた液晶表示装置を用いて、駆動シグナルを生成したので、その説明を行う。またその際のPFTは、レーザエミッタを用いた多結晶シリコンとした。

10030) この回路構成に対する実際の電圧等の配置構成を1つの画素について、図5に示す。まず、本実施例で使用する液晶、ガラスの作製方法を図6を使用して説明する。図6(A)において、石英ガラス等の基板で24700℃以下、例えば6000℃の熱処理に耐え得るガラス50μm上にアモルファスP(高純度)スバクタ法を用いてフロンシリコン膜1として成膜した膜を1000〜3000Åの厚さに付着させる。フロン条件は成膜100%雰囲気、成膜温度150℃、出力400〜800W、圧力0.5Paとした。ターゲットに石英または結晶シリコンを用いた成膜速度は30〜100Å/分であった。

10031) この上にシリコン膜をガラスCVD法により連続膜62を作製した。成膜温度は250℃〜350℃で行い、本実施例では320℃とし、モノシラン(SiH₄)を用いた。モノシラン(SiH₄)に限らず、ジシラン(Si₂H₆)またはトリシラン(Si₃H₈)を用いてもよい。これをP-CVD装置内に3Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.02〜0.10W/cm²が適当であり、本実施例では0.05W/cm²を用いた。また、モノシラン(SiH₄)の流量は20SCCMとし、その時の成膜速度は約120Å/分であった。P-TFTとN-TFTとのため、ホリソースをシリコン膜に添加してもよい。またP-TFTのドーパント濃度としてシリコン膜の成膜にはこのガラスCVDだけでなく、スバクタ法、減圧CVD法を用いてもよく、以下にその方法を簡単に述べる。

10032) スバクタ法で行う場合、スバクタ前のシリコン膜を1×10¹⁵cm⁻³以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20〜80%導入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜速度は150℃、成膜速度は13.56MHz、スバクタ出力は400〜800W、圧力は0.5Paであった。

10033) 減圧気相法で形成する場合、結晶化温度よりも100〜200℃低い450〜550℃、例えば530℃でジシラン(Si₂H₆)またはトリシラン(Si₃H₈)をCVD装置内に供給して成膜した。反応室内圧力は30〜300Paとした。成膜速度は50〜250Å/分であった。P-TFTとN-TFTとのシリコン膜をシリコン膜(VH)を減圧炉内に形成するため、ホリソースをシリコン膜を用いて1×10¹⁵〜1×10¹⁸cm⁻³の濃度として成膜中に添加してもよい。

10034) これらの方法によって形成された装置は、結晶化を助長させるために、成膜速度を7×10¹⁹cm⁻³以下、好ましくは1×10¹⁸cm⁻³以下とすることが望ましいが、少なすぎると、パッシベーションにより活性のリーク電流が増加してしまうため、この濃度を選択した。この成膜速度が速いと、結晶化が速く、レーザエミッタの温度を高くまたはレーザエミッタの寿命を長くし、ばらばらな、水素は4×10²⁰cm⁻³であり、連続4×10²²cm⁻³として成膜すると1原子%であった。

10035) また、ソース、ドレインに対してより結晶化を助長させるため、成膜速度を7×10¹⁹cm⁻³以下、好ましくは1×10¹⁸cm⁻³以下とし、ピシセル形成するP-TFTのチャネル形成領域の外に成膜をイオン注入により5×10²⁰〜5×10²²cm⁻³となるように添加してもよい。上記方法によって、フロンシリコン膜の成膜速度を500〜5000Å、本実施例では1000Åの厚さに成膜した。

10036) その後、フタインジウム63をガラスP1を用いてソース、ドレイン領域のみ開孔したパターンを形成した。その上に、ガラスCVD法によりp型の活性層として連続膜64を作製した。成膜速度は250℃〜350℃で行い、本実施例では320℃とし、モノシラン(SiH₄)とトリシラン(Si₃H₈)を用いた。これをP-CVD装置内に3Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.05〜0.20W/cm²が適当であり、本実施例では0.120W/cm²を用いた。

10037) この方法によって出来上がった型シリコン層の比電率率は1×10⁻¹(10cm⁻¹)程度となった。膜厚は50Åとした。こうして、図6(A)を得た。その後リソグラフィ法を用いて、レジスト63を塗布し、ソース、ドレイン領域5.5、5.6を形成した。

10038) 同様のプロセスを用いて、p型の活性層を形成した。その際のドーパントは、モノシラン(SiH₄)とトリシラン(Si₃H₈)のシリコン膜の5%濃度のものを用いた。これをP-CVD装置内に4Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.05〜0.20W/cm²が適当であり、本実施例では0.120W/cm²を用いた。この方法によって出来上がったp型シリコン層の比電率率は1×10⁻²(10cm⁻¹)程度となった。膜厚は50Åとした。こうして、図6(B)を得た。その後、N型領域と同様にリソグラフィ法を用いて、ソース、ドレイン領域5.9、6.0を形成した。その後、ガラスP3を用いて連続膜5.2をエッチング除去し、Nチャネル型領域、トランジスタ用アイランド領域6.3とPチャネル型領域、トランジスタ用アイランド領域6.4を形成した。

10039) その後、図6(C)に示すように、X、C、I、エッチャーを用いて、ソース、ドレイン、チャネル領域をレーザエミッタと同時に、活性層にレーザエッチャーを行なった。この際のレーザエッチャーは、成膜エネルギーが1300mJ/cm²で、膜厚全体が溶融するには220mJ/cm²が必要となる。しかし、最初から220mJ/cm²以上のエネルギーを照射すると、膜中に含まれる水素が急激に放出されるために、膜の破壊が起る。そのために低エネルギーで最初に水素を追い出した後に加熱させる必要がある。本実施例では最初150mJ/cm²で水素の追い出しを行なった後、230mJ/cm²で結晶化をおこなった。

10040) この上に酸化珪素膜をイオン線膜として500〜2000Å例えば1000Åの厚さに形成した。これはフロンシリコン膜としての酸化珪素膜の作製と同一条件とした。この成膜中にホリソースを少量添加し、シリコン膜の固定化をさせてもよい。

10041) この後、この上にシリコンが1〜5×10²¹cm⁻³の濃度に入ったシリコン膜またはこのシリコン膜とそれの上にシリコン膜(6a)、タンタラム(6b)、MoSi₂またはWSi₂の多層膜を形成した。これを第4のフタインジウムP4にエッチングして図6(D)を得た。N-TFT用のゲート電極6.6、P-TFT用のゲート電極6.7を形成した。例えばチャネル長7μm、ゲート電極としてシリコン膜を0.2μm、その上にシリコンを0.3μmの厚さに形成した。同時に、図7(D')に示すように、ゲート配線6.5とそれに並行して配置された配線6.8をエッチングした。

10042) また、ゲート電極材料としては、上記材料以外に、例えばアルミニウム(A1)も使用することができる。アルミニウムを用いた場合、これを第4のフタインジウムP4にエッチング後、その表面を酸蝕液化すること、セルフリソグラフィ法が適用可能なため、ソース、ドレインのコンタクトホールをよりゲートに近い

(8)

30℃でジシラン(Si₂H₆)またはトリシラン(Si₃H₈)をCVD装置に供給して成膜した。反応炉内圧力は3.0～3.00Paとした。成膜速度は5.0～25.0Å/分であった。PTFTとNTFTとのスレッシュホールド電圧(V_{th})をほぼ同一に制御するため、ホウ素をジシランを用いて1×10¹⁵～1×10¹⁶cm⁻³の濃度として成膜中に添加してもよい。

[0058] これらの方法によって形成された被膜は、膜厚が5×10²cm⁻³以下であることが好ましい。結晶化を物性させるためには、成膜温度を7×10¹⁹cm⁻³以下、好ましくは1×10¹⁹cm⁻³以下とすることが望ましいが、少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまうため、この濃度を選択した。この濃度が低いと、結晶化させにくく、レーザーアニール温度を高くまたはレーザーアニール時間を長くしなければならぬ。水素は4×10²⁰cm⁻³であり、結晶4×10²²cm⁻³として比較すると1原子%であった。

[0059] また、ソース、ドレインに対してより結晶化を助長させるため、成膜温度を7×10¹⁹cm⁻³以下、好ましくは1×10¹⁹cm⁻³以下とし、ヒトセル増成するTFPTのチャネル形成領域のみに酸素をイオン注入した。5×10²⁰～5×10²¹cm⁻³となるように添加してもよい。上記方法によって、アモルファス状態の結晶膜を500～5000Å、本実施例では1000Åの厚さに成膜した。

[0060] その後、フォトリソ103をマスク1を用いてNTFTのソース・ドレイン領域となるべき領域のみ開孔したパターンを形成した。そして、レジスト103をマスクとして、リンイオンをイオン注入法により、2×10¹⁴～5×10¹⁶cm⁻²、好ましくは2×10¹⁶cm⁻²だけ、注入し、n型不純物領域104を形成した。その後、レジスト103は除去された。

[0061] 同様に、レジスト105をマスク、マスクP2を用いて、PTFTのソース・ドレイン領域となるべき領域のみ開孔したパターンを形成した。そして、レジスト105をマスクとして、p型不純物領域106を形成した。不純物としては、ホウ素を用い、やはりイオン注入法を用いて、2×10¹⁴～5×10¹⁶cm⁻²、好ましくは2×10¹⁶cm⁻²だけ、不純物を導入した。このようにして、図9(B)を得た。

[0062] その後、結晶膜102上に、厚さ50～300nm、例えば、100nmの酸化珪素膜107を、上記のRFスパッタ法によって形成した。そして、XeClエキシマレーザーを用いて、ソース・ドレイン・チャネル領域をレーザーアニールによって、結晶化・活性化させた。この時のレーザーエネルギーは、酸化珪素膜が130mJ/cm²で、酸層全体が略等量に220mJ/cm²が必要となる。しかし、最初から220mJ/cm²以上のエネルギーを照射すると、膜中に含まれる水素が急激に放出されるために、膜の破壊

駆動ICと共通信号、電位配線を有するPCBを接続し、外側に開孔板を貼り、透過型の液晶電気光学装置を得た。これと液晶層を3本配置した液晶照明装置、テレビ電圧を有するチューナーを接続し、映像テレビとして完成させた。従来のCRT方式のテレビと比べて、平面形状の装置となったために、壁等に設置することも出来るようになった。この液晶テレビの動作は図1、図2に示したものと、実質的に同等な信号を液晶面に印刷することにより実現した。

[0053] 【実施例2】 本実施例では図4に示すような回路構成を用いた液晶表示装置を用いて、映像テレビを製作したので、その説明を行う。またその間のPTFTは、レーザーアニールを用いた多結晶シリコンとした。

[0054] 以下では、PTFT部分の作製方法について図9(A)において、石英ガラス等の高抵抗で700℃以下、例えば約600℃の熱処理に耐え得るガラス100上にマグネシウム(高濃度)スパッタ法を用いてプロセッシング101としての酸化珪素膜を1000～3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度15℃、出力400～800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30～100Å/分であった。

[0055] この上にシリコン膜をプラズマCVD法により結晶膜102を作製した。成膜温度は250℃～350℃で行った実施例では320℃とし、モジシラン(Si₂H₆)を用いた。モジシラン(Si₂H₆)に限らず、ジシラン(SiH₄)またはトリシラン(Si₃H₈)を用いてもよい。これらのCVD装置内に3Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.02～0.10W/cm²が適当であり、本実施例では0.055W/cm²を用いた。また、モジシラン(Si₂H₆)の流量は20SCCMとし、その時の成膜速度は約120Å/分であった。PTFTとNTFTとのスレッシュホールド電圧(V_{th})をほぼ同一に制御するため、ホウ素をジシランを用いて1×10¹⁵～1×10¹⁸cm⁻³の濃度として成膜中に添加してもよい。またPTFTのチャネル領域となるシリコン層の成膜にはこのプラズマCVDだけでなく、スパッタ法、減圧CVD法を用いてもよく、以下にその方法を簡単に述べる。

[0056] スパッタ法で行う場合、スパッタ前の管圧を1×10⁻⁵Pa以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20～80%添加した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜速度は150℃、周波数は13.56MHz、スパッタ出力は400～800W、圧力は0.5Paであった。

[0057] 減圧気相法で形成する場合、結晶化温度より100～200℃低い450～550℃、例えば5

が、NTFTやPTFT、あるいはそれらをあわせてC/TFTで形成されていることから明らかである。また、図12の保護回路はPTFTは使用されないが、ダイオードは、例えばPIN接合によって形成され、また、オードは、例えばPNP接合によって形成され、また、特にツェナー特性を有するダイオードはNPN、PIP、あるいはNPN、PNPといった構造を有し、いずれも説明するまでもなく、本実施例で示した作製方法を適用することによって作製されることは自明である。

[0047] さて、以上のようして得られたPTFTの電気的性質はPTFTで移動度は40 (cm²/Vs)、V_{th}は5.0 (V)であった。

[0048] 上記の様な方法によって作製された液晶電気光学装置の一方の基板を得ることが出来た。この液晶表示装置の電極等の配置の様子を図5に示している。本発明によるインバータを構成するPTFTは信号線Y₁とX₁の間、およびY₂とX₂の間に、信号線X₁、X₂に平行に設けられている。このようなマトリクス構成を左右、上下に繰り返すことにより、640×480、1280×960といった大画面の液晶表示装置とすることが出来る。本実施例では1920×400とした。この様に第1の基板を得た。

[0049] 他方の基板の作製方法を図8に示す。ガラス基板上にポリイミドに黒色顔料を混合したポリイミド樹脂をスピンコート法を用いて1μmの厚みに成膜し、第9のフォトマスクP9を用いてブラックマトリ81を作製した。その後、赤色顔料を混合したポリイミド樹脂をスピンコート法を用いて1μmの厚みに成膜し、第10のフォトマスクP10を用いて赤色フィルタ83を作製した。同様にして青色フィルタ84、緑色フィルタ85および青色フィルタ86を作製した。これらの作製中各フィルタは350℃にて真空中で60分の焼成を行なった。その後、やはりスピンコート法を用いて、レベリング層89を透明ポリイミドを用いて作製した。

[0050] その後、これら全体にITO (インジウム酸化)を0.1μmの厚みにスパッタ法により形成し、第10のフォトマスクP10を用いて共通電極90を形成した。このITOは室温～150℃で成膜し、200～300℃の酸素または大気中のアニールにより成膜し、第2の基板を得た。

[0051] 前記基板上に、オフセット法を用いて、ポリイミド樹脂を印刷し、非酸化性雰囲気または窒素雰囲気中で350℃で1時間焼成を行った。その後、公知のラビング法を用いて、ポリイミド表面を改質し、少なくとも初期において、液晶分子を一定方向に配向させる手段を設けた。

[0052] その後、前記第一の基板と第二の基板によつて、ネマチック液晶組成物を挟持し、両面をエポキシ性接着剤にて固定した。基板上のリードにTAB形状の

(7)

位置に形成することが出来るため、移動度、スレッシュホールド電圧の低減からさらにPTFTの特性を上げることでできる。

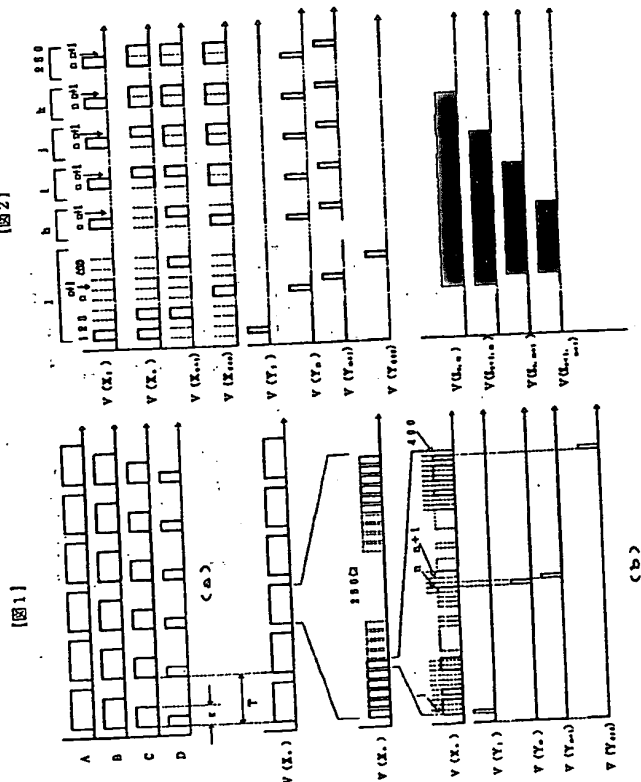
[0043] かくすると、400℃以上すべての工程で温度を加えることがなくC/TFTを作ることが出来る。そのため、基板材料として、石英等の高抵抗基板を用いなくてもよく、本発明の大画面の液晶表示装置にきわめて適したプロセスであるといえる。

[0044] 図6(E)において、層間絶縁物89を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてもよい。例えば0.2～0.5μmの厚さに形成し、その後、第5のフォトマスクP5を用いて電極用の窓79を形成した。その後、さらにこれら全体にアルミニウムを0.3μmの厚みにスパッタ法により形成し、第6のフォトマスクP6を用いてリード74およびコンタクト73、75を作製した。こうして、図6(E)と図7(E')を得た。その後、裏面を平坦化用有機樹脂77、例えば透光性ポリイミド樹脂を塗布形成し、再度の電極窓76を第7のフォトマスクP7で行った。さらに、これら全体にITO (インジウム酸化)を0.1μmの厚みにスパッタ法により形成し、第8のフォトマスクP8を用いて画素電極71を作製した。このITOは室温～150℃で成膜し、200～400℃の酸素または大気中のアニールにより成膜した。こうして、図6(F)と図7(F')を得た。図7(F')のA-A'の断面図を図7(G)に示す。裏面には、この上に液晶材料をはさんで、対向電極が設けられ、図に示すように対向電極と電極71の間に静電容量が生じる。そして、電極68を対向電極と同電位に保つことにより、図4に示したように、液晶面に並列に容量が挿入された回路を構成することとなる。特に本実施例のように配線することによって、配線68はダイオード配線65と並行であるので、2配線の寄生容量が少なく、したがって、ゲイト配線を伝播する信号の遅延や歪みを減らす効果がある。

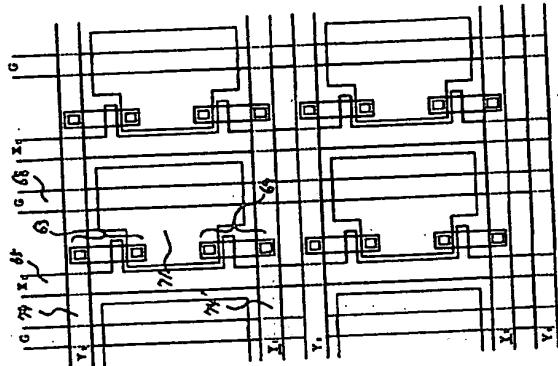
[0045] また、このようにして形成された配線68は、接地して使用される場合には、各マトリクスの終端に設けられる保護回路の接地線として使用できる。保護回路は、図10に示されるように、周辺の駆動回路と画素のあいだに設けられ、図11と図12で示されるような回路を用い、いづれも画素の配線に過大な電圧がかかるとON状態となり、電圧を取り去る作用を有する。これらの保護回路は、シリコンのようなドーピングされない、あるいはドーピングされていない半導体材料や、ITOのような透明導電材料、あるいは通常の配線材料を用いて構成される。したがって、画素の回路を形成するときに同時に形成することが可能である。

[0046] このことは、例えば、図11の各保護回路

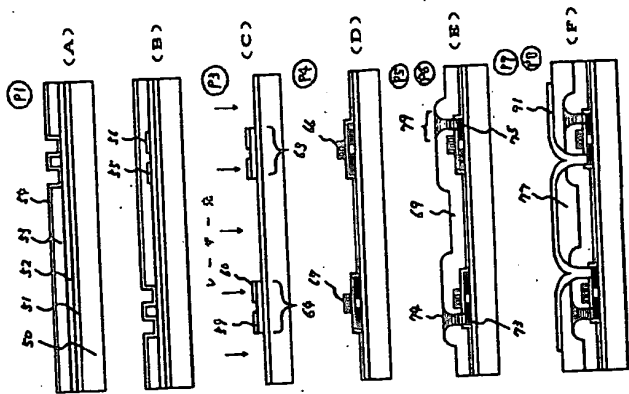
(11)



【図5】

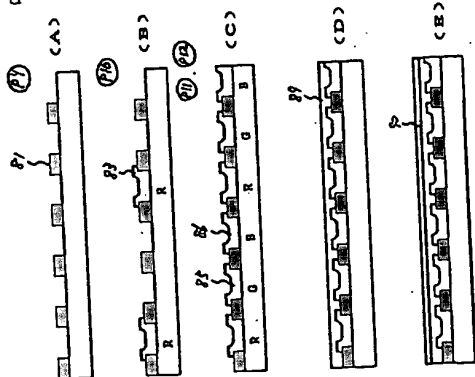


【図6】

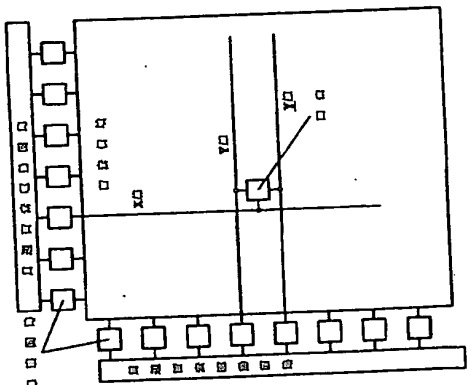


(12)

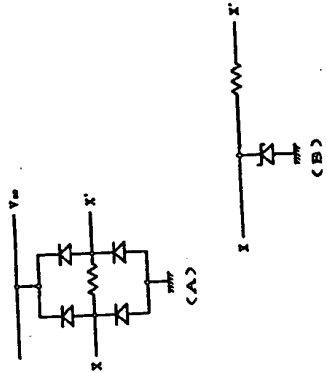
【図8】



【図10】

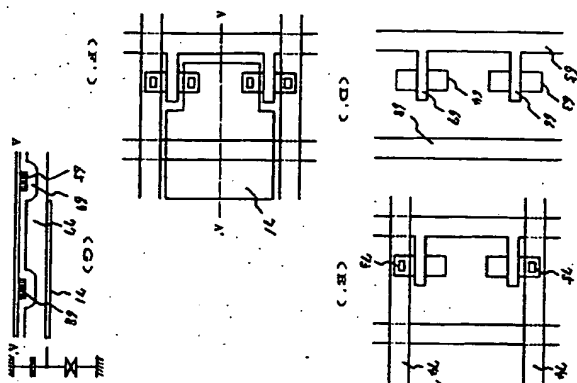


【図12】

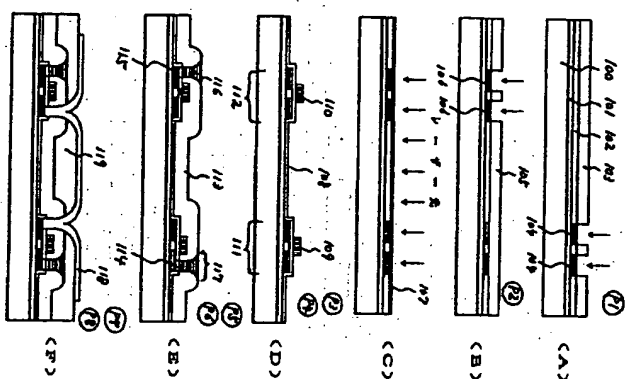


(13)

[圖 7]

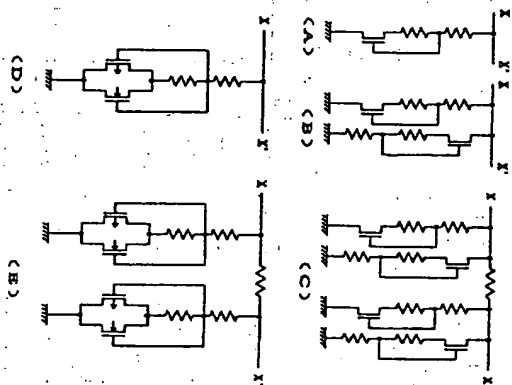


【例9】



(14)

【一一一】



This Page Blank (uspto)